

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Three-terminal thyristor with single MOS-gate controlled characteristics**

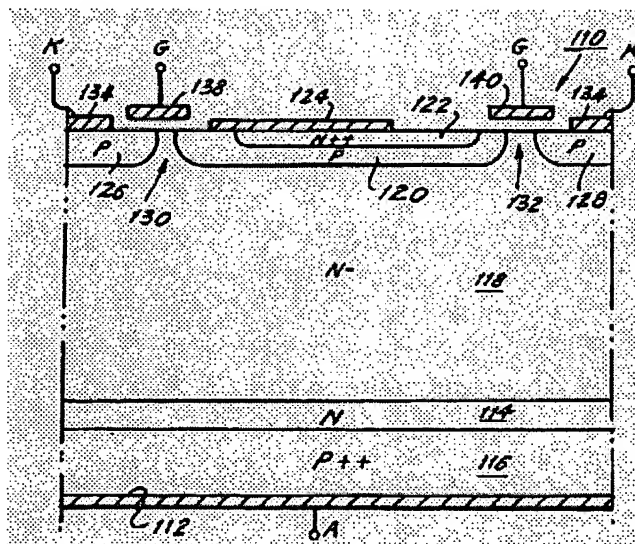
**Patent number:** FR2723260  
**Publication date:** 1996-02-02  
**Inventor:** AJIT JANARDHANAN S  
**Applicant:** INTERNATIONAL RECTIFIER CORP (US)  
**Classification:**  
- international: H01L29/745  
- european: H01L29/74B4, H01L29/745B, H01L29/749  
**Application number:** FR19950009010 19950725  
**Priority number(s):** US19940281917 19940728

Also published as:

US5444272 (A1)  
JP8083897 (A)  
GB2292009 (A)  
DE19526537 (A1)

Abstract not available for FR2723260  
Abstract of correspondent: US5444272

A MOS-controlled thyristor which has current saturation characteristics and does not have any parasitic thyristor structure. The device requires only a single gate drive and is a three terminal device. The device can be constructed in a cellular geometry. In all embodiments, the device has superior turn-off characteristics and a wider Safe-Operating-Area because the N++ emitter/P base junction is reverse biased during turn-off.



Data supplied from the esp@cenet database - Worldwide

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 723 260

(21) N° d'enregistrement national : 95 09010

(51) Int Cl<sup>o</sup> : H 01 L 29/745

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 25.07.95.

(30) Priorité : 28.07.94 US 281917.

(71) Demandeur(s) : INTERNATIONAL RECTIFIER  
CORPORATION — US.

(72) Inventeur(s) : AJIT JANARDHANAN S.

(43) Date de la mise à disposition du public de la  
demande : 02.02.98 Bulletin 96/05.

(56) Liste des documents cités dans le rapport de  
recherche préliminaire : Ce dernier n'a pas été  
établi à la date de publication de la demande.

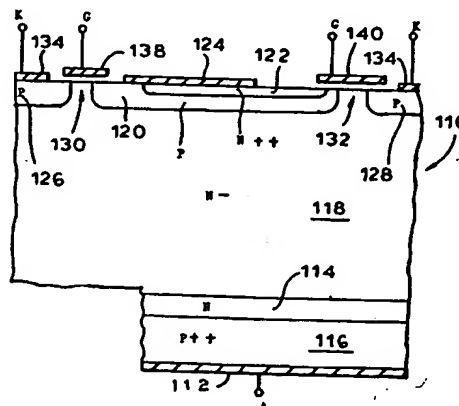
(60) Références à d'autres documents nationaux  
apparentés : DIVISION DEMANDÉE LE 20/12/94  
BÉNÉFICIAIRE DE LA DATE DE DÉPÔT DU  
29/07/94 DE LA DEMANDE INITIALE N° 94 09442  
(ARTICLE L.612-4) DU CODE DE LA PROPRIÉTÉ  
INTELLECTUELLE

(73) Titulaire(s) :

(74) Mandataire : CABINET FEDIT LORiot.

(54) THYRISTOR A TROIS BORNES AVEC CARACTÉRISTIQUES COMMANDEES PAR UNE SEULE GACHETTE MOS.

(57) La présente invention concerne un thyristor commandé MOS présentant une caractéristique de saturation du courant mais n'ayant aucune structure de thyristor parasite. Le dispositif à trois bornes nécessite la commande d'une seule gâchette. Le dispositif peut être construit selon une géométrie cellulaire. Dans tous les modes de réalisation, le dispositif possède des caractéristiques de blocage meilleures et une plus grande région de fonctionnement sûr du fait que la jonction émetteur N<sup>+</sup>/base P est polarisée en inverse pendant la mise au blocage.



FR 2 723 260 - A1



A

THYRISTOR A TROIS BORNES AVEC CARACTERISTIQUES  
COMMANDEES PAR UNE SEULE GACHETTE MOS

La présente invention concerne un thyristor commandé MOS et plus particulièrement un thyristor à trois bornes commandé MOS présentant une caractéristique de saturation du courant mais sans  
5 aucune structure de thyristor parasite.

Des structures de semi-conducteur de puissance qui associent des mécanismes de conduction bipolaire avec une commande MOS sont bien connues. Le transistor bipolaire à gâchette isolée (IGBT) en est un exemple,  
10 dans lequel le courant de base d'une structure bipolaire est commandé au moyen d'un transistor à effet de champ MOS intégré (MOSFET). L'IGBT est très bien adapté aux applications électroniques de puissance sous haute tension avec des tensions de blocage situées dans  
15 la plage des 600 volts. Des dispositifs IGBT susceptibles d'admettre des tensions plus élevées ont

une chute de tension plus grande à l'état passant, ce qui est désavantageux. Puisqu'il est possible d'obtenir une chute de tension inférieure à l'état passant en faisant passer le courant à travers une structure de thyristor, les thyristors à gâchette MOS ont soulevé un  
5 intérêt important dans les applications à courant élevé et à tension élevée.

Il existe deux types de thyristors à gâchette MOS : le thyristor commandé MOS (MCT) et le thyristor à  
10 émetteur commuté (EST). Dans le cas du MCT, comme décrit dans un article de V.A.K. Temple, IEEE International Electron Device Meeting (IEDM) Technical Digest, San Francisco (décembre 1984), pages 282 à 285, un court-circuit de cathode est commuté au moyen d'une  
15 gâchette MOS. Toutefois, le développement commercial du MCT a été limité du fait qu'il nécessite une fabrication complexe, qu'il pose des problèmes de filaments de courant pendant le blocage, et aussi parce qu'il ne présente pas de caractéristiques de saturation  
20 du courant.

Le dispositif EST, comme l'indique la Figure 1, est essentiellement constitué par un MOSFET en série avec un thyristor, et appelé "thyristor à émetteur  
commuté". Le dispositif EST se prête à une fabrication  
25 plus simple que le MCT. Bien que le dispositif EST présente une caractéristique de saturation du courant, il est, cependant, limité par un thyristor parasite

inhérent, représenté sur la Figure 1; qui constitue une dérivation par rapport au MOSFET à canal n commandé par la gâchette. Il existe donc un besoin pour un dispositif EST qui présente une caractéristique de saturation du courant, mais qui ne soit pas limité par une structure de thyristor parasite existant dans le dispositif.

La présente invention surmonte les inconvénients de la technique antérieure et atteint l'objectif précédent en proposant un thyristor commandé MOS qui, dans un premier mode de réalisation, comprend une plaquette de matériau semi-conducteur ayant une première et une seconde surfaces planes parallèles espacées. Une couche de type N à dopage relativement faible part de la première surface du semi-conducteur, tandis qu'une couche de type P part de la seconde surface du semi-conducteur.

Une base de type P est formée dans la couche de type N à dopage relativement faible et part de la première surface du semi-conducteur jusqu'à une première profondeur au-dessous de la première surface du semi-conducteur. Une région d'émetteur de type N formée dans la base de type P part de la première surface du semi-conducteur jusqu'à une seconde profondeur sous la surface du semi-conducteur mais plus faible que la première profondeur pour créer une jonction émetteur de type N/base de type P, la région

d'émetteur de type N étant espacée radialement vers l'intérieur le long de la première surface du semi-conducteur sur les bords de la base de type P, de manière que les bords de la base de type P partent de la première surface du semi-conducteur, en définissant ainsi une première région de canal le long d'un premier bord. Une liaison métallique est formée sur la première surface du semi-conducteur et relie la région d'émetteur à la base de type P le long d'un second bord.

Une première et une seconde régions de type P sont formées dans une couche de type N à dopage relativement faible et partent de la première surface de la plaquette. La première et la seconde régions de type P sont latéralement espacées du second et du premier bords respectifs de la base de type P, de manière que la couche de type N à dopage relativement faible qui part de la première surface du semi-conducteur et les traverse forme une seconde et une troisième régions de canaux.

Une première couche d'isolement de gâchette est placée sur la première surface du semi-conducteur et s'étend au moins sur la seconde région de canal. Une première gâchette est placée sur la première couche d'isolement de gâchette et recouvre la seconde région de canal.

Une seconde couche d'isolement de gâchette est placée sur la première surface du semi-conducteur et s'étend sur au moins la première et la troisième des régions de canaux. Une seconde gâchette est disposée sur le second moyen de couche d'isolement de gâchette et recouvre les première et troisième régions de canaux.

Une électrode de gâchette est reliée à la seconde gâchette isolée.

Une électrode d'anode est reliée à la couche de type P placée sur la seconde surface du semi-conducteur. Une électrode de cathode est reliée aux première et seconde régions de type P sur la première surface du semi-conducteur, et également reliée à la première gâchette isolée.

Le thyristor commandé MOS de l'invention comprend encore de préférence une couche de type N située entre la couche de type P et la couche de type N à dopage relativement faible. La couche de type P et l'émetteur de type N sont de préférence relativement très dopés.

Dans le thyristor commandé MOS du premier mode de réalisation décrit ci-dessus, l'émetteur de type N a une longueur latérale qui établit dans la base de type P une chute de tension suffisante pour polariser en direct la jonction émetteur de type N/base de type P quand le thyristor est à l'état passant, ce qui est nécessaire pour verrouiller le thyristor. Par



conséquent, la base de type P doit être formée relativement longue avec un léger dopage. Un autre mode de réalisation élimine cette exigence.

Dans l'autre mode de réalisation, la première et  
5 la seconde régions de type P sont adjacentes et latéralement espacées l'une de l'autre, et seule la seconde région de type P est adjacente et latéralement espacée de la région de base de type P. Une troisième région de type P est adjacente et latéralement espacée  
10 de la région de base de type P. La liaison métallique dans ce mode de réalisation relie l'émetteur de type N à la seconde région de base de type P. Une première gâchette isolée recouvre la région du canal dans la couche de type N entre la première et la seconde  
15 régions de type P, et une seconde gâchette isolée recouvre la région de canal dans la couche de type P entre la seconde région de type P et la base de type P. La seconde gâchette isolée recouvre aussi la région de canal formée sur le bord de la base de type P entre  
20 l'émetteur de type N et la couche de type N à dopage relativement faible. Une troisième gâchette isolée recouvre la région du canal dans la couche de type N entre la base de type P et la troisième région de type P. La troisième gâchette isolée recouvre aussi la  
25 région du canal formé sur le second bord de la base de type P entre l'émetteur de type N et la couche de type N à dopage relativement faible. La troisième gâchette

isolée est reliée électriquement à la seconde gâchette isolée ou, en option, la seconde gâchette isolée peut rester flottante ou être absente. Les première et troisième régions de type P ainsi que la première gâchette isolée sont en contact avec la cathode métallique sur la première surface du semi-conducteur. Une électrode d'anode est reliée à la couche de type P placée sur la seconde surface du semi-conducteur. Une électrode de gâchette est reliée à la troisième gâchette isolée.

Comme dans le premier mode de réalisation, une couche de type N est de préférence placée entre la couche de type P et la couche de type N à dopage relativement faible.

La première, la seconde et la troisième régions de type P, ainsi que la base de type P, sont de préférence relativement très dopées et la couche de type P ainsi que l'émetteur de type N sont de préférence très fortement dopés. En option, une région de type P à dopage relativement faible peut être formée dans la région du canal entre la première et la seconde région de type P pour créer un MOSFET à canal p à appauvrissement. En option également, la troisième région de type P peut être éliminée.

Tous les modes de réalisation de l'invention ont l'avantage de présenter une caractéristique de saturation du courant sans aucune structure de

thyristor parasite. Une meilleure mise au blocage et une région de fonctionnement sûr plus large sont obtenues au moyen de l'invention parce que tous les modes de réalisation ont la jonction émetteur/base polarisée en inverse pendant le blocage. En outre, les configurations des jonctions sont faciles à fabriquer.

D'autres caractéristiques et avantages de l'invention apparaîtront d'après la description suivante de l'invention considérée en référence aux dessins annexés, sur lesquels :

la Figure 1 est une vue d'une section transversale d'un thyristor à émetteur commuté (EST) typique de la technique antérieure ;

la Figure 2 est une vue d'une section transversale d'un premier mode de réalisation de l'invention ;

la Figure 3 est une vue d'une section transversale d'un second mode de réalisation de l'invention ;

la Figure 4 est une vue d'une section transversale d'une variante du mode de réalisation de la Figure 3 n'ayant pas de troisième région de type P ni de troisième gâchette associée.

Un premier mode de réalisation du thyristor commandé MOS de l'invention est représenté sur la Figure 2. Le thyristor commandé MOS est un dispositif à conduction verticale.

Une couche 114 de type N et une région 116 très fortement dopée  $P^{++}$  sont placées sur la face inférieure

d'une couche  $N^-$  118. Pour des applications à tension plus basse ( $< 1200$  V), la couche  $N^-$  118 est de préférence obtenue par croissance épitaxique sur un substrat  $N$  epi/ $P^{++}$ . Pour les applications à tension  
5 supérieure ( $> 1200$  V), la couche  $N^-$  118 est de préférence constituée par le matériau du substrat de départ et une couche  $N$  114 ainsi qu'une région  $P^{++}$  116 sont diffusées sur la face arrière.

Une électrode d'anode 112 sur la surface  
10 inférieure du dispositif recouvre la région  $P^+$  116. L'électrode d'anode 112 est couplée à une borne d'anode A.

Les épaisseurs et les concentrations des couches dépendent de la tension de blocage du dispositif. Pour  
15 un dispositif à 2500 V, la densité du dopage et l'épaisseur de la région de dérive  $N^-$  sont respectivement de l'ordre de  $2 \times 10^{13} \text{ cm}^{-3}$  et de  $500 \mu\text{m}$ . La densité du dopage de la région  $P^{++}$  116 est de préférence supérieure à  $5 \times 10^{19} \text{ cm}^{-3}$ , et l'épaisseur  
20 supérieure à  $1 \mu\text{m}$ . La densité du dopage de la couche  $N$  114 est de préférence approximativement de  $5 \times 10^{17} \text{ cm}^{-3}$ , et l'épaisseur approximativement de  $7 \mu\text{m}$ .

A l'intérieur de la couche  $N^-$  118 est placée une base de type  $P$  120, qui constitue aussi la source du  
25 MOSFET à canal  $p$  du dispositif, comme cela sera décrit avec davantage de détails ci-dessous. Une région 122 d'émetteur  $N^{++}$  est placée dans la base  $P$  120, et

électriquement mise en court-circuit électrique avec elle par une liaison métallique flottante 124 (qui n'est connectée à aucune des électrodes du dispositif) sur la surface supérieure du dispositif.

5        La base P 120 est entourée par des régions P 126, 128 mais en est séparée par des régions relativement petites de la couche N<sup>-</sup> 118 qui s'étendent sur la surface de la plaquette pour former des régions respectives de canal 130, 132.

10        Une première gâchette isolée 138 recouvre la région du canal 130. Une seconde gâchette isolée 140, couplée à la borne de gâchette G, recouvre la région de canal 132 et, en plus, recouvre la partie de la base P 120 située entre la région d'émetteur N<sup>++</sup> 122 et la  
15        région de canal 132 sur la surface supérieure de la plaquette. Les gâchettes 138, 140 sont de préférence constituées en polysilicium et sont isolées de la surface supérieure du dispositif par une couche d'oxyde (non représentée sur la Figure 2). Une électrode de  
20        cathode 134, couplée à une borne de cathode K est en contact ohmique avec les régions P 126 et 128, et avec la première gâchette isolée 138.

      Le fonctionnement du dispositif 110 représenté sur la Figure 2 est le suivant. A l'état passant (lorsque  
25        l'anode 112 est à un potentiel positif par rapport à la cathode 134), la tension appliquée à la gâchette 140 devrait être suffisamment positive pour rendre passant

le MOSFET (transistor à effet de champ MOS) à canal n (situé dans la base P 120) sous la gâchette 140. Dans ces conditions, le potentiel de la base P 120 augmente quand la tension d'anode augmente. Quand le potentiel

5 de la base P 120 augmente au point que la différence de potentiel entre la gâchette 138 et la base P 120 atteint une amplitude supérieure à la tension de seuil du MOSFET à canal p sous la gâchette 138, le MOSFET à canal p sous la gâchette 138 devient passant et

10 connecte la base P 120 à la région P 126 en passant par le canal p à inversion formé à la surface de la couche  $N^-$  130. Ceci déclenche le thyristor 110 en l'amenant à l'état passant par création d'un passage de conduction entre l'anode et la cathode (en haut de la Figure 2) à

15 travers la région  $P^{++}$  116, la couche N 114, la couche  $N^-$  118, à travers le canal n (créé par la gâchette 140) dans la base P 120 à la surface de la plaquette, aux bornes de l'émetteur  $N^{++}$  122, à travers la liaison métallique 124 avec la base P 120, à travers le canal p

20 (créé par la gâchette 138) dans la région du canal 130, et à travers la région P 126 jusqu'à la cathode 134.

La longueur latérale de l'émetteur  $N^{++}$  122 est choisie de manière à établir une chute de tension suffisante pour que la partie de la jonction émetteur

25  $N^{++}$ /base P soit polarisée en direct à l'état passant afin de rendre passant le thyristor formé par les régions 122, 120, 118, 114 et 116, grâce à quoi le

courant principal du thyristor va passer en dérivation par rapport au canal n sous la gâchette 140 et par contre circuler directement vers le haut à travers le dispositif depuis la région  $P^{++}$  116 en traversant les couches 114, 118 et 120 pour atteindre l'émetteur  $N^{++}$  122 et puis à travers la liaison métallique flottante 124 jusqu'à 120, et puis à travers le MOSFET à canal p sous la gâchette 138 et puis à travers la région P 126 jusqu'à la cathode 134.

10        Puisque le MOSFET à canal p sous la gâchette 138 est en série avec le thyristor (116-114-118-120-122), le courant traversant le dispositif est limité par le courant de saturation du MOSFET à canal p sous la gâchette 138. Donc le dispositif présente des caractéristiques de saturation du courant.

15        Pour bloquer le dispositif, un potentiel négatif suffisant par rapport à la cathode 134 est appliqué à la gâchette 140 pour bloquer le MOSFET à canal n sous la gâchette 140 et rendre passant le MOSFET à canal p sous la gâchette 140, afin de coupler ainsi la base P 120 à la région P 128, laquelle est à son tour électriquement reliée à la cathode. Les potentiels respectifs ci-dessus sur les gâchettes 138, 140 sont maintenus dans la condition d'un blocage direct (anode à un potentiel positif par rapport à la cathode). Le potentiel négatif sur la gâchette 140 conduit à une grande tension de rupture du dispositif, parce qu'il

maintient la base P 120 du thyristor à un potentiel inférieur comparativement à celui de l'émetteur N<sup>++</sup> 122.

Il faut remarquer que, pendant l'état de blocage direct, la jonction émetteur N<sup>++</sup>/base P est polarisée en inverse. La présente invention permet d'obtenir des caractéristiques de rupture et de blocage supérieures et une zone de fonctionnement sûr plus large car les conditions sont semblables au cas d'un blocage par émetteur ouvert. A cet égard, on peut consulter par exemple B. Jackson et D. Chen, "Effects of emitter-open switching on the turn-off characteristics of high voltage power transistors", Power Electronics Specialist Conference, juin 1980.

La chute de tension à l'état passant du thyristor commandé MOS à haute tension de l'invention est la somme de la chute de tension aux bornes du thyristor à haute tension (112-116-114-118-120-122) et de la chute de tension aux bornes du MOSFET à canal p à basse tension (120-130-126-134) sous la gâchette 138. La chute de tension aux bornes du thyristor à haute tension n'augmente pas beaucoup quand le dispositif est construit pour supporter une tension de rupture plus élevée. Au contraire, dans un IGBT, la chute de tension à l'état passant augmente quand l'IGBT est construit pour présenter des tensions de rupture supérieures. Ceci vient du fait que, dans l'IGBT, seule la partie



inférieure de la région de dérive est modulée en conductivité, tandis que dans un thyristor, toute la région de dérive est modulée en conductivité. Par conséquent, le thyristor commandé MOS de la présente invention possède avantageusement une chute de tension directe inférieure à celle d'un IGBT pour des dispositifs de même courant et de tension de rupture supérieure ( $> 1200$  V).

En outre, la présente invention est avantageuse du fait qu'elle n'exige aucune protection contre les courts-circuits grâce à sa caractéristique de courant de saturation à l'état passant, comme décrit précédemment. Ceci représente un avantage important par comparaison à un MCT. Il est également avantageux que la présente invention ne comporte aucune structure parasite de thyristor apte à dégrader ses performances. C'est là un avantage primordial comparativement à l'EST de la technique antérieure.

Enfin, la présente invention est avantageuse parce que les pertes de blocage sont inférieures à celles d'un MCT. Comme indiqué ci-dessus, dans le dispositif de la présente invention, la base P est reliée au potentiel de masse à travers le MOSFET latéral à canal p, en polarisant en inverse la jonction émetteur  $N^{++}$ /base P. Ces conditions rendent inactif le transistor NPN en appliquant une commande de base inverse, qui conduit à l'interruption de l'action

thyristor plus rapidement qu'avec un MCT et par conséquent une diminution plus rapide du courant. Le temps de blocage du dispositif de la présente invention est donc proche de celui d'un IGBT (qui a un temps de blocage sensiblement égal à celui d'un transistor PNP à base ouverte).

Le mode de réalisation de la présente invention décrit ci-dessus et représenté sur la Figure 2 est basé sur une chute de tension latérale le long de la base P 120 pour polariser en direct le transistor NPN et verrouiller le thyristor. Par conséquent, la base P 120 doit être construite relativement longue avec un léger dopage. Un autre mode de réalisation représenté sur la Figure 3 évite cette exigence.

Comme celui de la Figure 2, le thyristor 210 commandé MOS de la Figure 3 est un dispositif à conduction verticale avec une couche N 214 et une région  $P^{++}$  216 très fortement dopée placées sur la face inférieure d'une couche  $N^-$  218. Une anode 212 sur la surface inférieure du dispositif couvre la région  $P^{++}$  216. Les épaisseurs et les concentrations des couches dépendent de la tension de blocage du dispositif et sont les mêmes que celles du dispositif de la Figure 2.

A l'intérieur de la couche  $N^-$  218 sont disposées :  
1) une base  $P^+$  221 ; 2) une région  $P^+$  219 qui constitue la source du MOSFET à canal p du dispositif, comme décrit plus en détail ci-dessous ; et 3) des régions  $P^+$

226 et 228 qui constituent les électrodes de drain respectives des MOSFET à canal p du dispositif, comme expliqué avec davantage de détails ci-dessous.

5 Une région d'émetteur  $N^{++}$  222 est située à l'intérieur d'une base  $P^+$  221, et en court-circuit électrique avec la région  $P^+$  219 par une liaison métallique flottante 224 (qui n'est reliée à aucune des électrodes du dispositif) sur la surface supérieure du dispositif.

10 Les régions  $P^+$  226 et 219, les régions  $P^+$  219 et 221, et les régions  $P^+$  221 et 228 sont séparées par des régions relativement petites de la couche  $N^-$  218, qui s'étendent sur la surface de la plaquette pour former les régions respectives des canaux 230, 231, 233.

15 Une première gâchette isolée 238 recouvre la région du canal 230. Une seconde gâchette isolée 240 recouvre la région de canal 233, et en plus, recouvre la partie de la base  $P^+$  221 située entre la région de l'émetteur  $N^{++}$  222 et la région du canal 233 sur la surface supérieure de la plaquette. Une troisième  
20 gâchette isolée 241 recouvre la région du canal 231 et, en plus, recouvre la partie de la base  $P^+$  221 située entre la région d'émetteur  $N^{++}$  222 et la région du canal 231 de la surface supérieure de la plaquette. Les  
25 gâchettes 238, 240, 241 sont de préférence constituées en polysilicium et sont isolées de la surface supérieure du dispositif par une couche d'oxyde (non

représentée sur la Figure 5). Les gâchettes 240 et 241 peuvent être reliées entre elles (connectées électriquement). La gâchette 240 est en contact avec une électrode de gâchette. Une électrode de cathode 234 est en contact ohmique avec des régions  $P^+$  226 et 228, et avec la première gâchette isolée 238.

Le fonctionnement du dispositif 210 de la Figure 5 est le suivant. A l'état passant (l'anode 212 étant à un potentiel positif par rapport à la cathode 234), la tension appliquée aux gâchettes 241 et 240 devrait être suffisamment positive pour rendre passants les MOSFET à canal n (situés dans la base  $P^+$  221) sous les gâchettes 241 et 240. Ceci fait augmenter le potentiel de la région  $P^+$  219 quand la tension d'anode augmente. Quand le potentiel de la région  $P^+$  219 augmente au point que la différence de potentiel entre la gâchette 238 et la région  $P^+$  219 dépasse en amplitude la tension de seuil du MOSFET à canal p sous la gâchette 238, le MOSFET à canal p sous la gâchette 238 devient passant et connecte la région  $P^+$  219 à la région  $P^+$  226 à travers le canal p à inversion formé à la surface de la couche  $N^-$  230.

Dans cette situation, l'émetteur  $N^{++}$  222 est relié au potentiel de la masse par la liaison métallique 224 et à travers le MOS P latéral créé par l'inversion de la région de canal 230, alors la commande de la base du transistor vertical PNP formé par les couches 216-214-

218-221 est assurée à travers les MOSFET à canal n sous les gâchettes 240, 241. Lorsque la jonction région  $P^{++}/N$  est polarisée en direct à environ 0,7 volt, la région  $P^{++}$  216 commence à injecter des trous qui  
5 constituent la commande de la base du transistor NPN formé par les couches 222-221-218-214, ce qui amène le thyristor formé par les couches 216-214-218-221-222 à l'état verrouillé.

Donc, ceci déclenche le thyristor 210 en l'amenant  
10 à l'état passant par création d'un passage de conduction entre l'anode et la cathode (en haut de la Figure 3) par l'intermédiaire de la région  $P^{++}$  216, de la couche N 214, de la couche  $N^-$  218, à travers les canaux n de la base  $P^+$  221 (formés par les gâchettes  
15 241 et 240) à la surface de la plaquette, aux bornes de l'émetteur  $N^{++}$  222, à travers la liaison métallique 224 jusqu'à la région  $P^+$  219, à travers le canal p (créé par la gâchette 238) dans la région du canal 230, et à travers la région  $P^+$  226 jusqu'à la cathode 234.

20 Lorsque le thyristor formé par les régions 216, 214, 218, 221 et 222 est rendu passant, une partie importante du courant va passer en dérivation par rapport au canal n situé sous les gâchettes 241 et 240, et par contre circuler directement vers le haut à  
25 travers le dispositif depuis la région  $P^{++}$  216 à travers les régions 214, 218, 221 jusqu'à l'émetteur  $N^{++}$  222 et puis à travers la liaison métallique

flottante 224 jusqu'à la région  $P^+$  219, à travers le MOSFET à canal p sous la gâchette 238 jusqu'à la région  $P^+$  226 et puis jusqu'à la cathode 234. Puisque le MOSFET à canal p sous la gâchette 238 est monté en série avec le thyristor (216-214-218-221-222), le courant à travers le dispositif est limité par le courant de saturation du MOSFET à canal p sous la gâchette 238. Donc le dispositif de la Figure 3, comme celui de la Figure 2, présente une caractéristique de saturation du courant.

Il est avantageux que le thyristor puisse être amené au blocage simplement en réduisant les tensions des gâchettes 240, 241 à une valeur suffisamment négative (ce qui amène au blocage les MOSFET à canal n sous les gâchettes 240 et 241 et rend passant le MOSFET à canal p sous la gâchette 240, en couplant ainsi la base  $P^+$  221 à la région  $P^+$  228, laquelle est à son tour électriquement reliée à la cathode). Ces potentiels respectifs sur les gâchettes 240 et 241 sont maintenus dans la condition de blocage direct (anode à un potentiel positif par rapport à la cathode). Le potentiel négatif sur la gâchette 240 entraîne une tension de rupture élevée du dispositif, parce que ce potentiel maintient la base  $P^+$  221 du thyristor à un potentiel inférieur comparativement à celui de l'émetteur  $N^{++}$  222.

La Figure 4 représente une variante de la structure de la Figure 3 qui élimine la région  $P^+$  228, la cathode métallique associée 234 en contact avec cette région, la gâchette 240 et la région de canal 5 233. Dans ce mode de réalisation, pendant le blocage et à l'état de blocage direct, l'émetteur  $N^{++}$  222 est simplement court-circuité à la base  $P^+$  221 à travers la liaison métallique flottante 224 et la région du canal 231 sous la gâchette 241.

10 Une autre variante de la structure de la Figure 3 est obtenue en éliminant la gâchette 241 ou en la laissant électriquement flottante.

Bien que l'invention ait été décrite en liaison avec des modes de réalisation particuliers, beaucoup 15 d'autres variantes et modifications (telles que l'emploi de gâchettes creusées au lieu de gâchettes planes en surface et une disposition différente des régions de gâchettes et de canaux) apparaîtront aux spécialistes de la technique. Il est donc préférable de 20 considérer que l'invention est limitée non pas par le descriptif particulier, mais uniquement par les revendications annexées.

REVENDICATIONS

1. Thyristor commandé MOS, caractérisé en ce qu'il comprend :

une plaquette de matériau semi-conducteur ayant une première et une seconde surfaces planes parallèles  
5   espacées, une partie au moins de l'épaisseur de la plaquette qui s'étend à partir de ladite première surface de semi-conducteur comprenant une couche de type N dopée de manière relativement légère pour recevoir des jonctions, au moins une partie de  
10   l'épaisseur de ladite plaquette qui s'étend depuis ladite seconde surface du semi-conducteur comprend une couche de type P à dopage relativement élevé ;

une base de type P formée dans ladite couche de type N dopée relativement légèrement et s'étendant  
15   depuis ladite première surface du semi-conducteur jusqu'à une première profondeur au-dessous de ladite première surface du semi-conducteur ;



une région émetteur de type N formée dans ladite base de type P et s'étendant depuis ladite première surface du semi-conducteur jusqu'à une seconde profondeur au-dessous de ladite surface du semi-conducteur, laquelle est moins profonde que ladite première profondeur pour créer une jonction à émetteur type N/base type P, ladite région d'émetteur de type N étant radialement espacée à l'intérieur le long de ladite première surface du semi-conducteur sur les bords de ladite base de type P, de manière que lesdits bords de ladite base de type P s'étendent jusqu'à ladite première surface du semi-conducteur, afin de définir ainsi une première région de canal le long d'un premier desdits bords, une liaison métallique étant disposée sur ladite première surface du semi-conducteur et reliant ladite région d'émetteur à ladite base de type P le long d'un second desdits bords ;

une première et une seconde régions de type P formées dans ladite couche de type N à dopage relativement faible et s'étendant depuis ladite première surface de ladite plaquette, lesdites première et seconde régions de type P étant latéralement espacées desdits second et premier bords de ladite base de type P, respectivement, pour former une seconde et une troisième régions de canaux dans ladite couche de type N à dopage relativement faible ;

un premier moyen de couche d'isolement de gâchette sur ladite première surface du semi-conducteur placé au moins sur ladite seconde région de canal ;

5 un premier moyen de gâchette sur ledit premier moyen de couche d'isolement de gâchette et recouvrant ladite seconde région de canal ;

un second moyen de couche d'isolement de gâchette sur ladite première surface du semi-conducteur disposé au moins sur lesdites première et troisième régions de canaux ;

10

un second moyen de gâchette sur ledit second moyen de couche d'isolement de gâchette et recouvrant lesdites première et troisième régions de canaux ;

un moyen d'électrode d'anode relié à ladite couche de type P disposé sur ladite seconde surface du semi-conducteur ;

15

un moyen d'électrode de cathode relié auxdites première et seconde régions de type P sur ladite première surface du semi-conducteur, et à ladite première gâchette ; et

20

un moyen d'électrode de gâchette relié à ladite seconde gâchette.

2. Thyristor commandé MOS selon la revendication 1, caractérisé en ce qu'il comprend encore une couche de type N disposée entre ladite couche de type P et ladite couche de type N à dopage relativement faible.

25

3. Thyristor commandé MOS selon la revendication 1, caractérisé en ce que ledit émetteur de type N a une longueur latérale qui établit une chute de tension suffisante dans ladite base de type P pour polariser en direct ladite jonction émetteur de type N/base de type P quand ledit thyristor est à l'état passant.

4. Thyristor commandé MOS selon la revendication 1, caractérisé en ce que ladite couche de type P et ledit émetteur de type N sont relativement très dopés.

10 5. Thyristor commandé MOS, caractérisé en ce qu'il comprend :

une plaquette de matériau semi-conducteur ayant une première et une seconde surfaces parallèles planes espacées, une partie au moins de l'épaisseur de ladite plaquette qui s'étend à partir de ladite première surface du semi-conducteur comprenant une couche de type N à dopage relativement faible pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui part de ladite seconde surface du semi-conducteur comprenant une couche de type P à dopage relativement élevé ;

20 une base de type P formée dans ladite couche de type N à dopage relativement faible et partant de ladite première surface du semi-conducteur jusqu'à une première profondeur au-dessous de ladite première surface du semi-conducteur ;

une région d'émetteur de type N formée dans ladite base de type P et partant de ladite première surface du semi-conducteur jusqu'à une seconde profondeur au-dessous de ladite surface du semi-conducteur qui est  
5 moins profonde que ladite première profondeur pour créer une jonction à émetteur de type N/base de type P, ladite région d'émetteur de type N étant espacée radialement vers l'intérieur le long de ladite première surface du semi-conducteur sur les bords de ladite base  
10 de type P, de manière que lesdits bords de ladite base de type P s'étendent jusqu'à ladite première surface du semi-conducteur, en définissant ainsi une première et une seconde régions de canaux le long desdits bords ;

une première et une seconde régions de type P  
15 formées dans ladite couche de type N à dopage relativement faible et partant de ladite première surface de ladite plaquette, lesdites première et seconde régions de type P étant latéralement espacées l'une de l'autre et espacées par rapport à ladite base  
20 de type P pour former des troisième et quatrième régions correspondantes de canaux dans ladite couche de type N à dopage relativement faible, une liaison métallique étant disposée sur ladite première surface du semi-conducteur et reliant ladite région d'émetteur  
25 de type N à ladite seconde région de type P ;

une troisième région de type P formée sur ladite couche de type N à dopage relativement faible et

partant de ladite première surface de ladite plaquette, ladite troisième région de type P étant latéralement espacée de ladite base de type P pour former une cinquième région de canal dans ladite couche de type N

5 ;

un premier moyen de couche d'isolement de gâchette sur ladite première surface du semi-conducteur placé au moins sur ladite troisième région de canal ;

10 un premier moyen de gâchette sur ledit premier moyen de couche d'isolement de gâchette et recouvrant ladite troisième région de canal ;

un second moyen de couche d'isolement de gâchette sur ladite première surface disposé au moins sur lesdites première et quatrième régions de canaux ;

15 un second moyen de gâchette sur ledit second moyen de couche d'isolement de gâchette et recouvrant lesdites première et quatrième régions de canaux ;

20 un troisième moyen de couche d'isolement de gâchette sur ladite première surface situé au moins sur lesdites seconde et cinquième régions de canaux ;

un troisième moyen de gâchette sur ledit troisième moyen de couche d'isolement de gâchette et recouvrant lesdites seconde et cinquième régions de canaux ;

25 un moyen d'électrode d'anode connecté à ladite couche de type P situé sur ladite seconde surface du semi-conducteur ;

un moyen d'électrode de cathode relié auxdites première et troisième régions de type P sur ladite première surface du semi-conducteur et à ladite première gâchette ; et

- 5 un moyen d'électrode de gâchette relié auxdites seconde et troisième gâchettes.

6. Thyristor commandé MOS selon la revendication 5, caractérisé en ce qu'il comprend encore une couche de type N placée entre ladite couche de type P et  
10 ladite couche de type N à dopage relativement faible.

7. Thyristor commandé MOS, caractérisé en ce qu'il comprend :

une plaquette de matériau semi-conducteur ayant une première et une seconde surfaces planes parallèles  
15 espacées, au moins une partie de l'épaisseur de ladite plaquette qui part de ladite première surface du semi-conducteur comprenant une couche de type N à dopage relativement faible pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui  
20 part de ladite seconde surface du semi-conducteur comprenant une couche de type P relativement très dopée ;

une base de type P formée dans ladite couche de type N à dopage relativement faible et partant de  
25 ladite première surface du semi-conducteur jusqu'à une première profondeur au-dessous de ladite première surface du semi-conducteur ;

une région d'émetteur de type N formée dans ladite base de type P et partant de ladite première surface du semi-conducteur jusqu'à une seconde profondeur au-dessous de ladite surface du semi-conducteur qui est  
5 moins importante que ladite première profondeur pour créer une jonction émetteur de type N/base de type P, ladite région d'émetteur de type N étant espacée radialement vers l'intérieur le long d'un premier bord de ladite base de type P, de manière que ledit premier  
10 bord de ladite base de type P s'étende jusqu'à ladite première surface du semi-conducteur, en définissant ainsi une première région de canal le long dudit bord ;

une première et une seconde régions de type P formées dans ladite couche de type N à dopage  
15 relativement faible et partant de ladite première surface de ladite plaquette, lesdites première et seconde régions de type P étant espacées latéralement l'une de l'autre et ladite seconde région de type P étant espacée latéralement de ladite base de type P  
20 pour former une seconde et une troisième régions de canaux dans ladite couche de type N à dopage relativement faible, une liaison métallique étant placée sur ladite première surface du semi-conducteur et reliant ladite région d'émetteur de type N à ladite  
25 seconde région de type P ;

un premier moyen de couche d'isolement de gâchette sur ladite première surface du semi-conducteur placé au

moins sur ladite seconde région de canal ;

un premier moyen de gâchette sur ledit premier moyen de couche d'isolement de gâchette et recouvrant ladite seconde région de canal ;

5 un second moyen de couche d'isolement de gâchette sur ladite première surface placé au moins sur lesdites première et troisième régions de canaux ;

un second moyen de gâchette sur ledit second moyen de couche d'isolement de gâchette et recouvrant  
10 lesdites première et troisième régions de canaux ;

un moyen d'électrode d'anode relié à ladite couche de type P placé sur ladite seconde surface du semi-conducteur ;

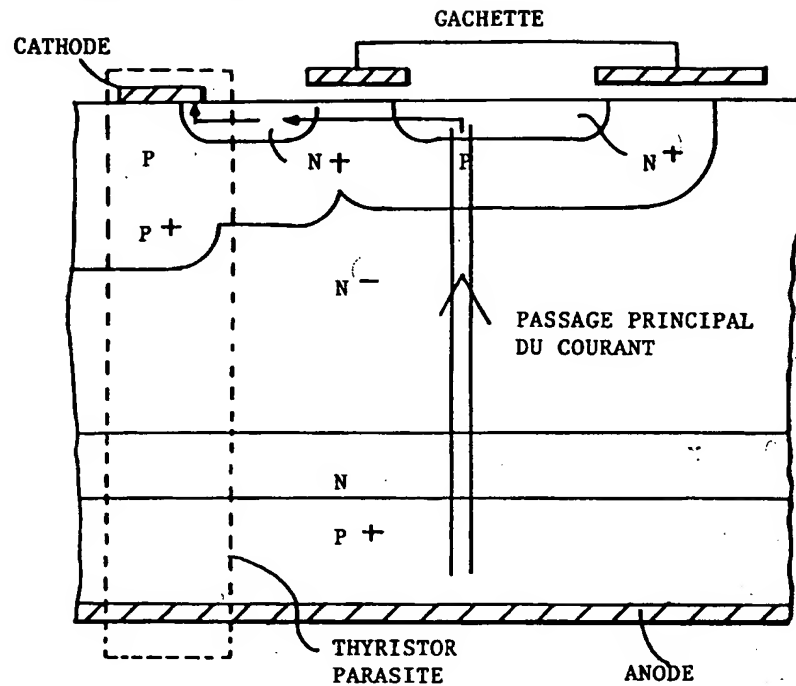
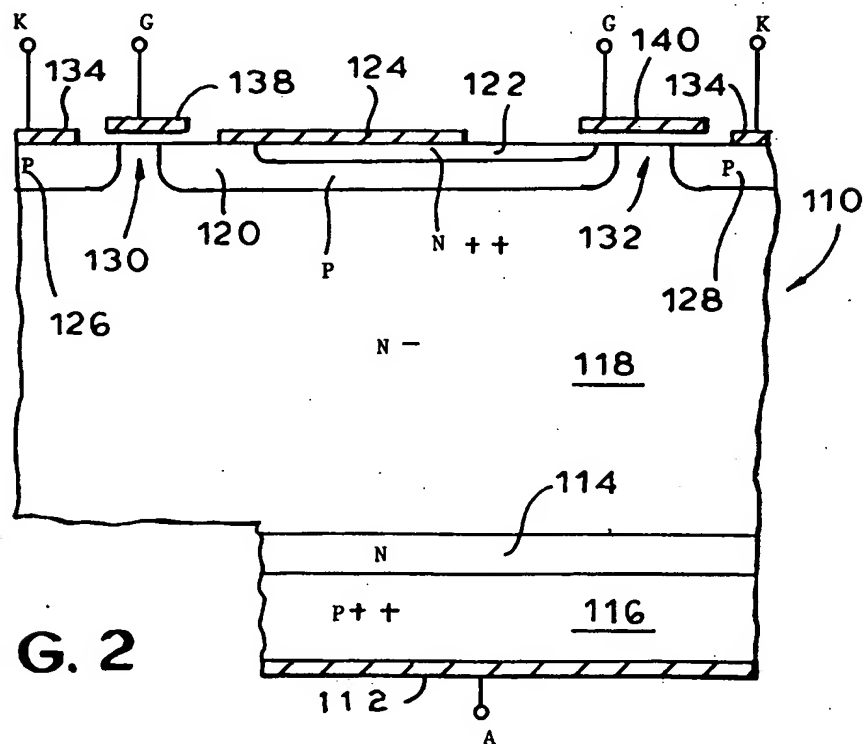
un moyen d'électrode de cathode relié à ladite  
15 première région de type P sur ladite première surface du semi-conducteur, et à ladite première gâchette ; et

un moyen d'électrode de gâchette relié à ladite seconde gâchette.

8. Thyristor commandé MOS selon la revendication  
20 5, caractérisé en ce que lesdites première, seconde et troisième régions de type P, ainsi que ladite base de type P sont relativement très dopées, et ladite couche de type P ainsi que ledit émetteur de type N sont à dopage relativement faible.

25 9. Thyristor commandé MOS selon la revendication 5, caractérisé en ce que ledit second moyen de gâchette est flottant du point de vue électrique ou absent.



**FIG. 1** (ART ANTERIEUR)**FIG. 2**

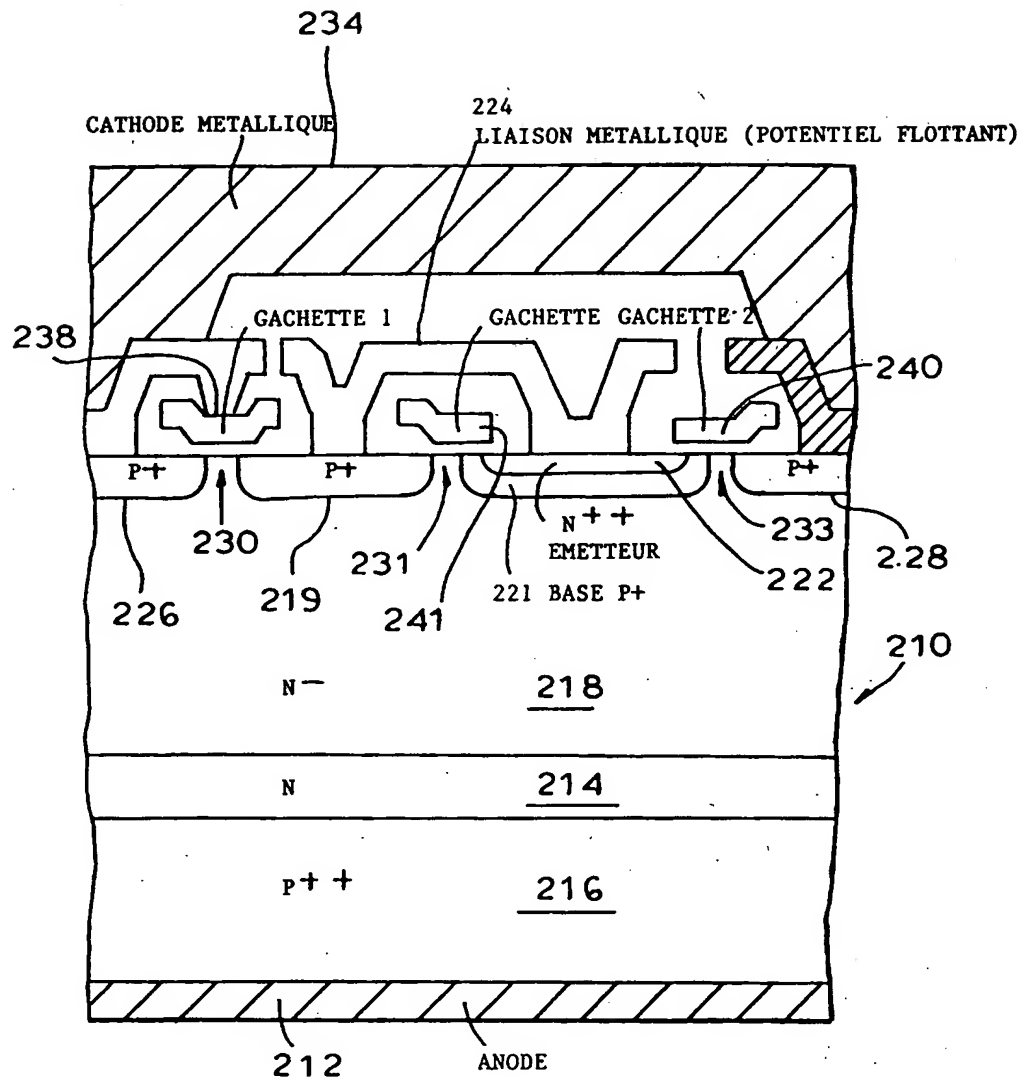


FIG. 3

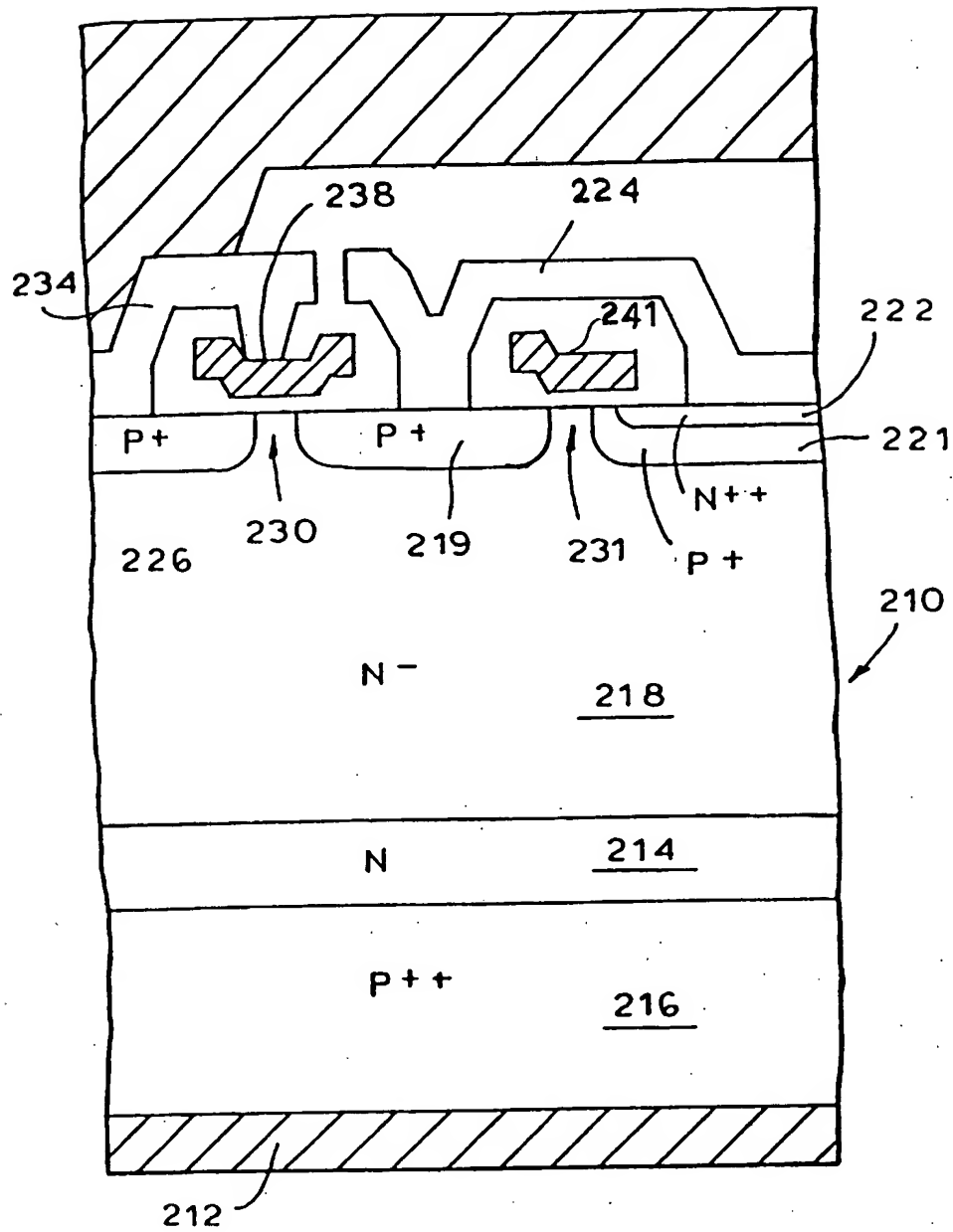


FIG. 4